



基于vBRAS架构与DPU技术融合的探讨

龚霞¹, 朱永庆¹, 袁世章¹, 汪小勇², 张建成²

(1. 中国电信股份有限公司研究院, 广东 广州 510630;

2. 新华三技术有限公司, 浙江 杭州 310052)

摘要: 随着5G、云计算和边缘计算的快速发展, 城域网作为连接用户与核心网络的关键枢纽, 面临带宽、时延和灵活性的多重挑战。以宽带远程接入服务器(broadband remote access server, BRAS)为核心研究对象, 回顾其从传统硬件封闭架构向控制面和用户面(control-plane/user-plane, CU)分离的演进历程, 并探讨新型数据处理器(data processing unit, DPU)网卡技术的发展历程和技术优势。其中, 重点分析了DPU网卡实现BRAS转发面的技术方案与难点, 为运营商构建高弹性、低时延的下一代城域网提供理论参考。

关键词: BRAS; NFV; DPU网卡; CU分离

中图分类号: TP393.1

文献标志码: A

doi: 10.11959/j.issn.1000-0801.2025150

Exploring on the integration of vBRAS architecture and DPU technology

GONG Xia¹, ZHU Yongqing¹, YUAN Shizhang¹, WANG Xiaoyong², ZHANG Jiancheng²

1. Research Institute of China Telecom Co., Ltd., Guangzhou 510630, China

2. New H3C Technologies Co., Ltd., Hangzhou 310052, China

Abstract: With the rapid development of 5G, cloud computing, and edge computing, metropolitan area networks (MANs), as critical hubs connecting users and core networks, face multifaceted challenges in bandwidth, latency, and flexibility. Focusing on the broadband remote access server (BRAS), its evolution from traditional closed hardware architectures to control-plane/user-plane (CU) separation was reviewed, and the technological advancements and advantages of the emerging data processing unit (DPU) network interface cards were explored. In particular, the technical solutions and challenges of implementing the BRAS forwarding plane using DPU-based network cards were analyzed in depth, providing theoretical references for operators to build highly resilient and low-latency next-generation MANs.

Key words: BRAS, NFV, DPU network interface card, CU separation

0 引言

作为运营商网络边缘的核心网元，宽带远程接入服务器（broadband remote access server, BRAS）承担着用户接入认证、流量策略管理及网络层数据转发等关键功能。随着网络功能虚拟化技术的广泛部署及5G时代固网与移动网络的深度融合，传统基于专用硬件的BRAS架构逐渐暴露出扩展性不足、资源利用率低、业务迭代周期长等缺陷，难以应对云游戏、工业物联网、8K超高清视频等场景对确定性时延（ $<10\text{ ms}$ ）与动态资源调度的严苛需求^[1]。

本文基于云原生网络架构演进方向，提出了一种基于数据处理器单元的BRAS用户平面硬件加速方案，通过软硬件协同设计实现了BRAS转发性能与灵活性的双重提升。

1 BRAS架构演进与CU分离

1.1 传统BRAS的封闭式架构

早期BRAS采用一体化专用硬件架构，主控板、接口板与交换板分工明确，通过定制化芯片与封闭式系统的“黑盒”硬件产品承载。这种架构虽在初期凭借高可靠性和确定性转发性能获得运营商青睐，但其封闭性导致设备扩展性差、升级成本高，且不同厂商设备间难以互通，逐渐成为网络云化转型的桎梏。

这一局面在2012年迎来突破：欧洲电信标准组织（European Telecommunications Standards Institute, ETSI）提出网络功能虚拟化（network functions virtualization, NFV）理念，主张使用通用服务器替代专用硬件，实现网络功能的灵活部署与弹性扩展。NFV不仅颠覆了传统通信设备的设计范式，更直接推动了BRAS架构的根本性变革——控制面与转发面的解耦成为可能，为后续基于云原生的城域网重构奠定了基础。

1.2 vBRAS转控分离架构

2016年，随着NFV技术从核心网向固网领域延伸，国内运营商与设备厂商开始探索城域网关键组件——BRAS的虚拟化可行性。经过半年的技术论证，产业界提出了BRAS控制面和用户面（control-plane/user-plane, CU）分离架构，即虚拟化宽带远程接入服务器（virtual broadband remote access server, vBRAS）。该架构的核心思想在于通过“控制集中化、转发高效化、交互标准化、资源弹性化”的设计理念，将传统一体化BRAS设备拆分为独立部署的控制面（control plane, CP）与用户面（user plane, UP）。控制面专注于用户认证、地址分配、策略下发等复杂逻辑处理，依托x86服务器集群提供高算力与大内存支持，并通过水平扩展应对业务增长；用户面则致力于数据包的高速转发与流量整形，采用网络处理器（network processor, NP）或专用集成电路（application specific integrated circuit, ASIC）硬件加速技术，以低时延保障实现Tbit/s级转发能力。

这一架构变革在多个维度展现出深远影响：控制面云化后，硬件资源可按需弹性伸缩，有效避免了传统BRAS设备由固定配置导致的资源浪费，显著优化了成本结构；业务层面，新功能可通过软件迭代快速部署，无须依赖硬件更换，极大提升了业务敏捷性；生态层面，软件、硬件解耦的模式打破了传统厂商的绑定壁垒，吸引了云计算服务商等IT领域参与者加入生态建设，推动行业向开放协作方向演进。

1.3 运营商vBRAS分离的规模化部署

BRAS CU分离架构的概念虽于2016年被提出，但其规模化部署的契机直到2022年才真正成熟——随着中国电信新型城域网的商用落地，这一技术正式进入大规模实践阶段。该方案围绕两大核心技术展开。

（1）叶脊（Spine-Leaf）网络架构的城域化改造。传统城域网采用分层树状拓扑，存在带宽



利用率低、扩展性差等问题。中国电信新城方案创新性地将数据中心内成熟的Spine-Leaf网络架构引入城域网,通过全互联组网实现流量负载均衡与路径优化,并结合基于IPv6的分段路由(segment routing over IPv6, SRv6)协议统一承载固网(如家庭宽带、企业专线)与移动网络(如5G回传、边缘计算)业务,打破固移网络边界,实现业务层面的深度融合。

(2) CU分离架构的精细化部署。CP与NFV形态的UP部署于地市核心机房,依托云化资源池实现集中化管理与弹性扩缩容;而硬件形态的高性能转发面(如基于NP/ASIC的UP设备)则下沉至地市汇聚机房,形成“核心—汇聚”两级资源池架构。这种分层设计既满足控制面全局策略调度所需的低时延交互(如用户认证信令需在10 ms内完成),又确保转发面贴近用户侧,将流量处理时延控制在微秒(μs)级^[2]。

截至2025年,随着全国范围内家庭宽带用户的持续割接(累计超5 000万用户迁移至CU分离架构),BRAS CU分离方案的可靠性得到充分验证,这一进程不仅标志着NFV技术在固网领域的深度渗透,更揭示了未来城域网向“云网融合、智能调度”方向演进的核心路径^[3]。

2 DPU网卡的发展和技术优势

2.1 DPU网卡的发展

网卡的技术演进历经四大关键阶段,深刻推

动了网络性能与架构的革新。20世纪90年代至21世纪初为总线革新与基础卸载阶段,这一阶段主要通过外围组件互连(peripheral component interconnect, PCI)总线引入直接内存访问(direct memory access, DMA)技术,将CPU负载从70%降至30%,PCIe(PCI express)协议进一步卸载中断与队列管理,奠定千兆以太网基础。2001—2013年,协议栈卸载与专用加速技术崛起,单根I/O虚拟化(single root I/O virtualization, SR-IOV)实现了虚拟机1 μs 级直通,InfiniBand/远程直接内存访问(remote direct memory access, RDMA)通过内核旁路使超算通信效率提升90%,显著优化传输层处理。2013年后,现场可编程门阵列(field-programmable gate array, FPGA)与片上系统(system on chip, SoC)技术催生智能网卡(smart network interface card, SmartNIC),智能网卡可重构流水线支持动态加载开放虚拟交换机(open vswitch, OVS)、虚拟可扩展局域网(virtual extensible LAN, VxLAN)等定制功能,并卸载存储压缩与AI推理任务,释放30% CPU算力,同时将NFV性能损耗压缩至5%以内。2023年至今,DPU网卡通过内置多核CPU独立运行控制平面、混合架构加速,以及资源池化技术实现“网络—计算—存储”一体化调度,标志着网卡正式演变为全栈卸载的异构计算单元,全面支撑云原生与边缘计算的智能化需求。网卡演进历史如图1所示。

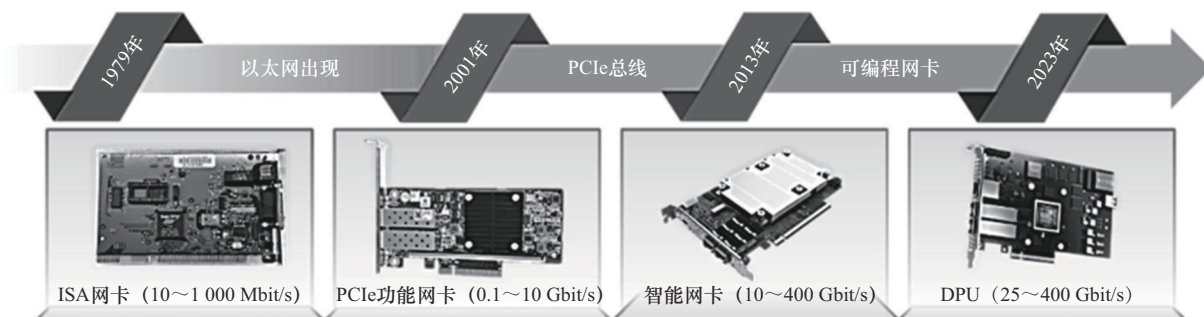


图1 网卡演进历史

2.2 DPU网卡的技术优势

从技术性能维度看，BRAS转发面的设计需在“算力、时延、成本”三角约束中取得平衡。因此，设计一个实验，对比不同硬件架构（纯CPU、CPU+DPU、专用硬件加速器NP芯片）在低/中/高负载下的性能表现，也通过对比成本与效益分析，选取最佳的方案^[4-5]。

2.2.1 实验环境与工具

实验环境与工具见表1。

2.2.2 实验过程

基准性能测试通过 Spirent TestCenter 生成低（10%）、中（50%）、高（90%）负载流量，测量平均时延（首包处理时间，单位 μs ）、时延抖动（时延标准差，单位 μs ）、吞吐量（实际转发速率，单位 Gbit/s）及丢包率（流量突增时的丢包比例）4 项指标。其中，流量模型按比例模拟 PPPoE（50%）、IPTV（30%）、VoIP（20%）混合业务，负载控制基于设备最大吞吐量 200 Gbit/s 分阶段注入流量，并启用 Spirent 实时统计引擎以 10 ms 粒度记录数据。

针对高负载性能劣化验证，分别对纯CPU、CPU+DPU、专用硬件加速器方案进行测试：纯CPU方案通过逐步提升流量负载（10%→90%，

持续 30 min）观察时延抖动变化；CPU+DPU、专用硬件加速器方案则验证其在相同负载波动下的时延稳定性，同时监测是否维持线速转发。

数据收集与分析阶段，通过 Spirent 导出 CSV 格式的时延、抖动、吞吐量时间序列数据，并生成各负载阶段的统计摘要（最大值、最小值、均值、标准差），实验过程记录见表2；基于 Python 脚本绘制不同负载下CPU与OPU时延抖动-负载曲线，如图2所示，量化不同方案的性能边界。

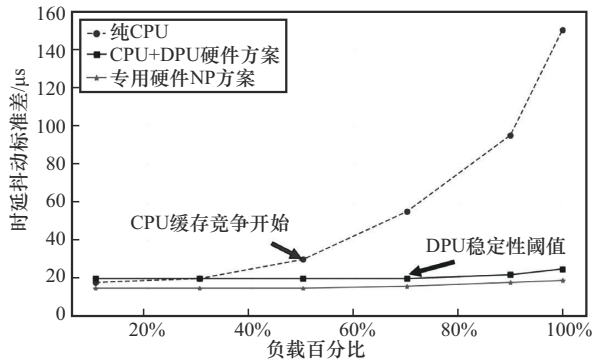


图2 不同负载下CPU与DPU负载-时延抖动对比曲线

2.2.3 实验结论

通过基于 Spirent TestCenter 的BRAS转发面性能测试与成本效益分析，本实验得出以下核心结论。

在性能表现方面，3 种方案与负载关联性显著。纯CPU方案在低负载（<30%）下时延稳定

表1 实验环境与工具

组件	配置说明
测试设备	均使用 H3C UniServer R4930 G5 服务器，分别配置如下。 纯CPU：Hygon G5 7380 CPU+DPU：Hygon G5 7380 + NVIDIA BlueField-3 DPU 专用硬件加速器：基于 NP 的 BRAS 转发板卡
流量生成与分析	Spirent TestCenter（思博伦通信推出的综合性网络测试平台），支持以太网点对点协议（PPPoE）、网络电视（IPTV）、基于 IP 语音传输（VoIP）混合流量生成与实时性能监控
负载设置	低（10%）、中（50%）、高（90%）负载，按设备最大吞吐量（200 Gbit/s）比例分配流量

表2 实验过程

硬件方案	低负载（10%）		中负载（50%）		高负载（90%）		性价比指数
	时延/ μs	抖动/ μs	时延/ μs	抖动/ μs	时延/ μs	抖动/ μs	
纯CPU	18	± 5	30	± 25	95	± 85	1.0(基准)
CPU+DPU 硬件方案	20	± 8	20	± 8	22	± 12	1.8
专用硬件NP方案	15	± 3	15	± 3	18	± 5	1.2



于 18 μs (抖动为 $\pm 5 \mu\text{s}$)，满足常规业务需求，但高负载 (>70%) 时延飙升至 95 μs (抖动达 $\pm 85 \mu\text{s}$)，CPU 缓存争用与内存带宽瓶颈导致性能断崖式下降，凸显传统架构的局限性；CPU+DPU 方案通过硬件卸载实现全负载范围 (10%~90%) 时延抖动稳定在 $\pm 12 \mu\text{s}$ ，且高负载下仍维持 200 Gbit/s 线速转发 (丢包率<0.1%)，展现卓越稳定性；专用硬件加速器方案虽性能最优 (时延<18 μs ，抖动为 $\pm 5 \mu\text{s}$)，但受限于高成本与封闭生态，仅适用于政企专线等超低抖动场景。

基于上述结果，技术选型建议如下：成本敏感型场景 (如中小型城域网) 可采用纯 CPU 方案，但需要限制负载峰值<60%；性能敏感型场景 (如工业互联网、云游戏) 优先选择 DPU 方案，以平衡 200 Gbit/s 吞吐与微秒级抖动；超低抖动刚需场景 (如金融交易、自动驾驶) 则需专用硬件加速器方案，确保时延抖动低于 $\pm 5 \mu\text{s}$ 。

3 DPU 网卡实现 BRAS 转发面的关键技术

3.1 DPU 网卡实现 BRAS 转发面的方案

3.1.1 FPGA 规格选择与接口设计

DPU 网卡的核心能力高度依赖于其内置的 FPGA

规格。对于 BRAS 转发面这类复杂业务流程，FPGA 的逻辑单元 (logic element, LE) 容量须达到 1 000 K 以上。主流 FPGA 型号与性能参数见表 3^[6]。

(1) Xilinx UltraScale+ VU9P：高逻辑密度 (1 182 K LE) 与低重配置延迟 (<10 ms)，适配动态业务场景。

(2) Intel Stratix 10：支持复杂算法 (如 AI 流量预测)，但功耗与成本较高。

(3) 国产 FPGA：低功耗与国产化优势，适用于边缘轻量化场景。

3.1.2 大容量 DDR 与表项管理优化

在 DPU 网卡实现 BRAS 转发面的设计中，双倍数据速率 (double data rate, DDR) 内存的选型直接影响表项查询效率与系统稳定性。主流 DDR 型号与性能参数见表 4。

BRAS 转发面需要维护多种关键表项，具体如下。

(1) 用户会话表：记录 PPPoE/IPoE 会话状态 (如 IP 地址、QoS 策略)。

(2) 转发信息库 (forward information database, FIB)：存储路由前缀与下一跳映射关系。

(3) 下一跳 (next hop, NH) 表：定义数据

表 3 常见的 FPGA 型号与性能参数

指标	Xilinx UltraScale+ VU9P	Intel Stratix 10 GX 2800	国产紫光同创 Logos-2
LE	1 182 K	1 050 K	800 K
BRAM 容量	7 5 MB	64 MB	40 MB
高速接口	4×100 Gbit/s CMAC	4×100 Gbit/s EMAC	4×50 Gbit/s CMAC
动态延迟	<10 ms	<15 ms	不支持
典型功耗	35 W	40 W	28 W

表 4 主流 DDR 型号与性能参数

型号	DDR4-3200	DDR5-4800	LPDDR5-6400
容量	单条 32 GB (最大支持 256 GB)	单条 64 GB (最大支持 512 GB)	单条 16 GB (最大支持 128 GB)
频率	3 200 MHz	4 800 MHz	6 400 MHz
带宽	25.6 Gbit/s	38.4 Gbit/s	51.2 Gbit/s
延迟	CL22	CL40	CL50
电压	1.2 V	1.1 V	0.5 V
功耗	3 W/GB	2.5 W/GB	1.8 W/GB

包转发路径的物理/逻辑出口。

3.1.3 首包与后续包处理流程对比

首包处理流程（以 PPPoE 为例）。DPU 网卡首包处理流程如图 3 所示。

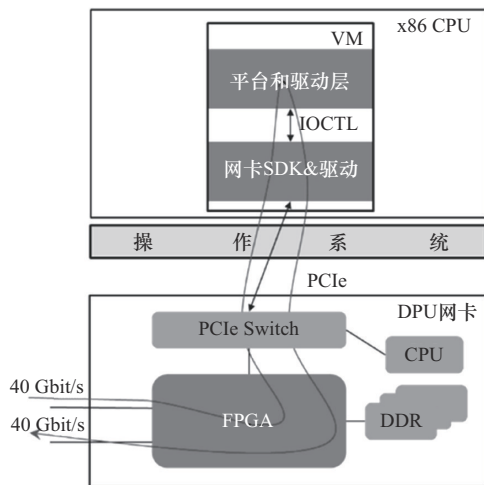


图3 DPU网卡首包处理流程

（1）报文接收：DPU 网卡通过 100 GE 接口捕获 PPPoE Discovery 报文。

（2）硬件解析：FPGA 提取 MAC 地址、Session ID 等字段，查询本地会话表（无命中）。

（3）上送驱动层：通过 PCIe DMA 将报文传输至驱动层虚拟机（virtual machine, VM）。

（4）CP 交互：驱动层向 BRAS CP 发起认证请求，获取用户策略（如带宽配额）。

（5）表项构建：驱动层生成会话表项，并通过 PCIe 写入 DPU 的 DDR 与三态内容寻址存储器（ternary content addressable memory, TCAM）。

（6）首包转发：DPU 按策略封装报文，发送至汇聚层设备。

后续包处理流程。DPU 网卡后续包处理流程如图 4 所示。

（1）硬件直通：DPU 识别已建立会话的报文，直接查表转发，无须主 CPU 介入。

（2）用户处理：FPGA 按会话表项进行处理，包括统计、PPPoE 处理、IP 处理、模块化 QoS 命

令行接口（modular QoS command-line interface, MQC）处理等。

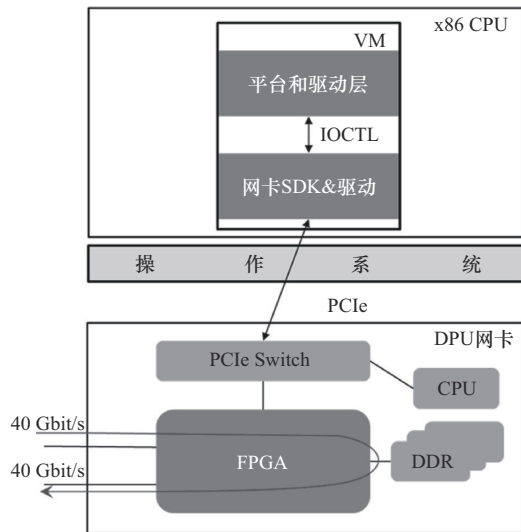


图4 DPU网卡后续包处理流程

（3）统计更新：FPGA 内置计数器实时记录流量数据，定期同步至驱动层。

（4）异常处理：若检测到会话超时（如 30 s 无活动），触发硬件中断通知驱动层清理表项。

3.2 DPU 网卡在 BRAS 转发面中的技术挑战与应对路径

尽管 DPU 网卡在数据中心场景中已展现出显著优势，但其在广域网与城域网等业务复杂场景中的应用仍面临多重挑战，尤其在承载 BRAS 转发面这一高要求场景下，需要从技术设计、运维模式到产业生态层面突破以下核心瓶颈。

3.2.1 分层 QoS 支持的局限性

分层 QoS（hierarchical quality of service, HQoS）作为 BRAS 的核心功能，需实现用户组、用户、业务等多级调度，以支撑运营商差异化服务。HQoS 的实现依赖大规模外部 DDR 缓存、复杂调度算法（如 DRR+SP 混合队列）以及多级流水线协作。然而，DPU 网卡受限于物理尺寸与功耗，通常仅集成单块 FPGA，其逻辑资源在完成基础转发功能（如 PPPoE 终结、SRv6 封装）后



已被大量占用, 剩余资源难以支撑 HQoS 的额外需求。因此, 需要考虑采用异构架构, 例如, 将 HQoS 策略决策层保留在控制面, 仅将队列调度逻辑卸载至 DPU, 或通过 CXL (compute express link) 总线扩展外部缓存池。

3.2.2 “特通”接口的规范适配

传统 BRAS 的“特通”功能要求独立物理接口 (如用于紧急通信的政府专线), 但 DPU 网卡通常仅提供 2~4 个业务接口, 无法额外分配专用端口。此矛盾源于早期特通规范基于网络处理器 (network processor, NP) 设备制定, 未考虑 NFV/DPU 的虚拟化特性。解决方案需从标准层面入手: 联合中国信息通信研究院修订特通规范, 允许通过 VLAN 或 VxLAN 实现逻辑隔离, 而非强制物理分离。例如, 中国移动在部分省份试点中, 已成功通过 SRv6 SID 标识“特通”流量, 并在 DPU 内设置独立转发平面, 实现了合规性与资源效率的平衡。

3.2.3 跨网卡互通的架构重构

传统 NP 设备通过背板交换网实现多板卡间流量聚合与负载均衡, 而 DPU 网卡因缺乏内部互连通道, 在同一服务器部署多块网卡时, 跨卡流量需经外部交换机转发, 进而增加额外时延。想要解决这一问题, 可借鉴分布式交换机方案: 在服务器内部部署虚拟交换层, 通过 PCIe 内存共享技术实现网卡间零拷贝通信, 时延可控制在 5 μ s 以内。此外, 还可以使用双机热备份替代跨板聚合, 结合 BGP FRR 实现 50 ms 级故障切换。该方案虽略逊于传统方案的 20 ms, 但足以满足多数城域网场景。

3.2.4 功耗与散热的工程化挑战

高密度 FPGA (如 Xilinx VU37P) 在满载时功耗可达 150 W, 导致单台 1U 服务器最多支持 2 块 DPU 网卡 (受限于 750 W 电源与散热设计)。为应对此限制, 需要在硬件选型时综合评估。

(1) 芯片制程: 优先选择 7 nm 及以下工艺的 FPGA (如 Intel Agilex), 功耗较 16 nm 产品

降低 40%。

(2) 供电设计: 采用 12VO 主板标准与 PCIe 5.0 接口, 单槽供电能力提升至 300 W。

(3) 液冷散热: 在边缘机房部署冷板式液冷系统, 使散热效率较风冷提升 3 倍, 支持 DPU 持续满载运行。

3.2.5 多维度运维复杂性的破局

NFV+DPU 架构将单台 BRAS 设备解耦为服务器硬件、虚拟化层、DPU 驱动、控制面软件等多个组件, 且可能涉及多个供应商 (如服务器厂商、DPU 厂商、云平台提供商)。故障定位需跨层协同: 如流量丢失可能源于 DPU 表项溢出、虚拟交换机配置错误或 CP 策略冲突。为此, 可引入 AI 智能运维平台, 通过 Telemetry 实时采集 DPU 计数器、虚拟层性能指标及控制面日志, 利用 AI 算法自动定位根本原因^[7]。

3.2.6 成本与生态的博弈

DPU 网卡的初期成本 (单卡约 1.5 万美元) 显著高于传统 NP 设备 (约 8 000 美元), 但其全生命周期的总体拥有成本 (Total Cost of Ownership, TCO) 具备潜在优势。(1) 能耗节省。DPU 网卡的能效比 ($\text{Gbit} \cdot \text{s}^{-1} \cdot \text{W}^{-1}$) 较 NP 设备提升 2 倍, 5 年电费可节约 30%。(2) 弹性扩展。通过软件升级支持新功能, 避免硬件频繁更换^[8]。

为加速生态成熟, 需要推动标准化硬件接口与开源软件栈, 吸引更多厂商参与, 形成规模效应。

4 结束语

DPU 网卡在 BRAS 转发面的应用标志着网络架构向“软件定义、硬件加速”的深刻转型。尽管面临 HQoS 适配、跨卡互通、国产化等多重挑战, 但通过技术创新 (如异构计算、CXL 互连) 与生态协作 (如标准共建、开源开放), DPU 网卡有望在未来 3~5 年内成为城域网边缘的核心引擎, 支撑 6G 时代“一网多能”的愿景。产业界需持续投入, 将实验室原型转化为现网竞争力,

最终实现“成本可控、性能卓越、自主可控”的三大目标。

参考文献:

- [1] 林在峰, 张文强, 杨冰, 等. 云化IP城域网vBRAS可靠性研究[J]. 中兴通讯技术, 2025, 31(3): 1-13.
LIN Z F, ZHANG W Q, YANG B, et al. Reliability study on pooled vBRAS scheme in cloud IP metropolitan area network[J]. ZTE Technology Journal, 2025, 31(3): 1-13.
- [2] 陈锦前, 郭少勇, 刘畅, 等. 数据处理单元赋能的智能中心网络拥塞控制机制[J]. 通信学报, 2025, 46(2): 1-17.
CHEN J Q, GUO S Y, LIU C, et al. DPU empowered intelligent congestion control mechanism for the intelligent computing center network[J]. Journal on Communications, 2025, 46(2): 1-17.
- [3] 孟佳星, 黄元元. 运营商融合边缘部署方案[J]. 电信快报, 2024(12): 42-45.
MENG J X, HUANG Y Y. Research on the integration edge deployment strategy of operators[J]. Telecommunications Information, 2024(12): 42-45.
- [4] 付中南, 尚群, 陈骏君, 等. 基于负载均衡的vBRAS校园网架构的设计与实现[J]. 通信学报, 2024, 45(S2): 88-96.
FU Z N, SHANG Q, CHEN J J, et al. Design and implementation of a campus network architecture based on load-balanced vBRAS[J]. Journal on Communications, 2024, 45(S2): 88-96.
- [5] 杨旭, 周维, 徐彬, 等. NFV网络云智能网卡关键技术方案及引入策略[J]. 电信工程技术与标准化, 2023, 36(10): 57-61, 80.
YANG X, ZHOU W, XU B, et al. Key technical solutions and introduction strategies for NFV network cloud intelligent network card[J]. Telecom Engineering Technics and Standardization, 2023, 36(10): 57-61, 80.
- [6] 张宇. 软件定义DPU持续突破系统性能边界[J]. 软件和集成电路, 2022(11): 25-26.
ZHANG Y. Software-defined DPU continuously breaks through the system performance boundary[J]. Software and Integrated Circuit, 2022(11): 25-26.
- [7] 于青, 王芳, 徐彬. DPU系统部署面临的问题以及方案探讨[J]. 电信工程技术与标准化, 2022, 35(11): 21-27.
YU Q, WANG F, XU B. DPU system deployment problems and solutions[J]. Telecom Engineering Technics and Standardization, 2022, 35(11): 21-27.

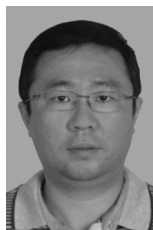
- [8] 张心怡. 数据中心“第三颗主力芯片”DPU打响卡位战[N]. 中国电子报, 2022-01-18(7).

ZHANG X Y. Data center's "third main chip" DPU launches card slot war[N]. China Electronic News, 2022-01-18(7).

[作者简介]



龚霞 (1991-), 女, 现就职于中国电信股份有限公司研究院, 主要研究方向为IP网络新技术、网络虚拟化技术和云网融合技术。



朱永庆 (1974-), 男, 中国电信股份有限公司研究院高级工程师、IP网络技术研究中心总监, 主要研究方向为IP网络新技术、云网融合技术及5G技术。



袁世章 (1975-), 男, 现就职于中国电信股份有限公司研究院, 主要研究方向为IP网络规划与新技术、云网融合技术等。



汪小勇 (1978-), 男, 新华三技术有限公司高级工程师, 主要从事路由器的技术研发与产品创新工作。



张建成 (1996-), 男, 现就职于新华三技术有限公司, 主要研究方向为IP网络新技术、网络虚拟化及云网融合技术。